

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-047066
(43)Date of publication of application : 21.02.1989

(51)Int.Cl. H01L 27/08
H01L 29/78

(21)Application number : 63-092643
(22)Date of filing : 14.04.1988

(71)Applicant : TEXAS INSTR INC <TI>
(72)Inventor : TANG THOMAS E
WEI CHE-CHIA
CHEN CHENG-ENG D

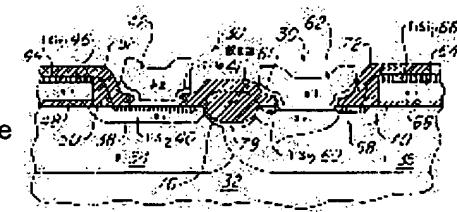
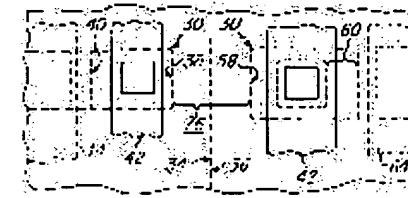
(30)Priority
Priority number : 87 38394 Priority date : 15.04.1987 Priority country : US

(54) CONTACT STRUCTURE FOR SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To provide the contact resistor of low contact resistance between metal and silicon by forming a titanium silicide on the sources and drains of N and P- channel transistors, except for the stepwise covered sections of P-channel source and drain.

CONSTITUTION: A device is provided with a monocrystal silicon wafer 32 to be doped into a P-type for forming a P-well 34 of N-channel MOSFET and to be doped into N-type for forming an N-well 36 of P-channel MOSFET. A contact 30 directly contacts an aluminium contact 62 with a P+-junction 58 on a diffusion barrier 61, and the titanium silicide lowers sheet resistance by covering remaining P+-moat. Conversely, an N+-junction 38 is covered with a silicide 40 as a whole, and an aluminium contact 42 touches only the silicide 40 on a diffusion barrier 41. Thus, the high-resistant contact rate of titanium silicide and P+-silicon contact is avoided and on the other hand, the decrease in sheet resistance effective for siliciding is kept.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than]

⑯ 公開特許公報 (A)

昭64-47066

⑮ Int.Cl.⁴

H 01 L 27/08

29/78

識別記号

3 2 1

3 0 1

庁内整理番号

D-7735-5F

F-7735-5F

C-8422-5F

⑯ 公開 昭和64年(1989)2月21日

⑯ 発明の名称 半導体集積回路のコンタクト構造とその製法

⑯ 特願 昭63-92643

⑯ 出願 昭63(1988)4月14日

優先権主張

⑯ 1987年4月15日⑯ 米国(US)⑯ 038394

⑯ 発明者 トマス イー. タ ⑯ アメリカ合衆国テキサス州ダラス ゴールデン クリーケン

15508

⑯ 発明者 チエーチア ンミ ウ ⑯ アメリカ合衆国テキサス州プラノ パーデュー サークル

4313

⑯ 発明者 チエングーエング デ ⑯ アメリカ合衆国テキサス州リチャードソン ゾマーセット

1504

⑯ 出願人 テキサス インツルメンツ インコーポレイテッド ⑯ アメリカ合衆国テキサス州ダラス, ノース セントラル

エクスプレスウェイ 13500

⑯ 代理人 弁理士 浅村 皓 外2名

明細書

1. 発明の名称

半導体集積回路のコンタクト構造とその製法

2. 特許請求の範囲

⑯ 半導体集積回路のコンタクトであって、

⑯ 集積回路内のN形シリコン領域に接する第一のシリサイド層と、

⑯ 前記第一のシリサイド層に接して、前記N形シリコン領域から間隔があいている第一の金属コンタクトと、

⑯ 前記集積回路内のP形シリコン領域に接する第二の金属コンタクトとを含む半導体集積回路のコンタクト構造。

⑯ シリサイドを有するCMOS集積回路の製法であって、

⑯ シリコンPチャネル・トランジスタの複数のソース及びドレインの各々の上のバッド酸化物の部分を覆う段階と、

⑯ 前記バッド酸化物の被われていない部分を、シリコンNチャネル・トランジスタのソース及び

ドレイン領域の上のバッド酸化物の部分も含めて除去する段階と、

⑯ マスクを除去する段階と、

⑯ チタン層を被覆する段階と、

⑯ 真空蒸着気中で前記チタンを隣接のシリコンと反応させてチタニウム・シリサイドを形成する段階と、

⑯ 反応しなかったチタンと、シリサイド化反応中に形成された全ての窒化チタンも除去する段階と、

⑯ それによって、N及びPチャネル・トランジスタのソース及びドレインの上に、段階において覆われたPチャネルのソース及びドレインの部分以外に、チタニウム・シリサイドを形成することを含む製法。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体電子デバイス及びその製法に關し、より詳細には、シリコン・デバイスのシリサイド化構造に關する。

従来技術

大規模集積シリコン回路は、1個のチップに数百万個のトランジスタを含むことができるくらい密になってきており、経済的抑圧により、実装密度の一層の増加と特徴サイズ(フィーチャー・サイズ)の縮小が暗示されている。MOS技術を1ミクロン以下に縮小する場合、シリサイドのソース及びドレイン接合の使用は、拡散領域の直列抵抗を減少するために肝要で、チタニウム・シリサイドが好ましいアプローチとなってきた。実際、チタニウム・シリサイドは一般に、典型的な約20Ω/□のN⁺接合のシート抵抗及び、約100Ω/□のP⁺接合のシート抵抗に比較して、約1Ω/□のシート抵抗を備えている。それについては、例えば、1982年のIEEE IEDM Tech. Digest 714頁掲載のロー(C. Lau)による「チタニウム・シリサイドの自己整合したソース/ドレイン及びゲート技術」、及びIEEE Tr. Elec. Dev. 第32巻、141頁(1985年)掲載のアルペリン(H. Alperin)。

対し独立した値(端部の効果は無視してよい場合)で、理論的には、縮退して(デジェネレイト)ドーピングしたシリコンに

対しては、

$$\exp \left(\frac{2\sqrt{e\pi}}{h} \frac{\phi}{\sqrt{N}} \right)$$

で近似でき、ここで、 h は金属-シリコン界面の高さ、 N はドーピング濃度、 e はキャリア有効質量、そして、 ϕ はシリコンの誘電率である。特徴サイズを1ミクロン以下に縮小すると、シリサイドの接合部の金属と接合との接触抵抗は、ボロン・ドーピングした接合のシリサイドとシリコンの界面の接触抵抗が高いため、効果的な回路動作を行なうには大きくなり過ぎて、RC時定数は長くなり過ぎ、又、伝播信号の電圧降下が大きくなり過ぎる。

従って、特徴サイズを縮小すると、既知のシリサイドのソース及びドレイン接合は、接触抵抗率が高いという問題がある。

特徴サイズを1ミクロン以下にすると、ドーピ

他による「VLSI用の自己整合したチタニウム・シリサイド工程の開発」を参照されたい。しかし、この場合、金属線とソース或いはドレイン接合との接觸抵抗は、金属とシリサイドとの接觸抵抗にシリサイドと接合との接觸抵抗を加えた和である。

更に、金属と接合の接觸により寄与される直列抵抗は、他の抵抗成分よりも一層急速に増加し、接觸抵抗は小さい接觸の特徴サイズの二乗の逆数におおよそ対応して増加する。それについては、IEEE J. S. S. Cir. 第9巻、256頁(1974年)掲載のデンナード(R. Dennard)他による、「極小の物理的寸法でイオン注入したMOSFETの設計」、及び、1985年のIEDM Tech. Dig. 586頁掲載のロー(H. Loh)他による「接觸抵抗データから特定の接觸抵抗率の正確な抽出を行うための2Dシミュレーション」を参照されたい。すなわち、接觸抵抗は、特定の接觸抵抗率(Ω-cm²)を接觸面積(cm²)で割ったもので、接觸抵抗率は、面積に

ングしたポリシリコンの高い抵抗率のため、ドーピングしたポリシリコン線を相互接続に使用することが実用的でなくなる。一つのアプローチは、シリサイドのポリシリコン(ポリサイド)線を用いて、シート抵抗を低下させることである。一般に、シリサイドの被着或いは金属の被着のどちらかにより、ポリシリコンの層を被着して、表面にシリサイドの層を形成し、その後にこのシリサイド化反応が起こるが、ポリシリコンにより、接合部或いはモート(埋設域)のシリサイド化を防ぐ。これらの層をバターン形成して、エッチングし、シリサイドのポリシリコン線を形成するが、しかし、精巧な線のバターン形成は難しく、これは、シリサイドが粗い表面を有し、又、シリサイドは他の金属と同様に選択的エッチングをするには困難だからである。

従って、自己整合したチタニウム・シリサイド技術の使用は、1ミクロンより小さいサブミクロンの超大規模集積シリコン回路の製作に肝要であり、ポリシリコン線と接合部或いはモートの両方

を同時にシリサイドにして、導電性の高い相互連続を提供する。しかし、既知のソース及びドレイン接合には接触抵抗が高いという問題が残る。

発明が解決しようとする問題点

本発明は、少なくともシリサイドの部分の形成を除外して、金属とシリコンの直接コンタクトを提供することにより、シリサイドのシリコン構造に於ける金属とシリコンのコンタクトの低い接触抵抗を提供し、また、シリサイドをエッティングせずにポリシリコン膜をシリサイド化する方法をも提供する。

好ましい実施例の方法において、チタンの被覆に先立ってパッド酸化物をパターン形成しエッティングして、ポロンをドーピングしたP⁺領域上の酸化物を金属コンタクトのところで残し、被覆の後、このチタンは、パターン形成したパッド酸化物で覆われた部分以外のP⁺シリコンに直接反応する。それから反応しなかったチタンを除去した後、パターン形成したパッド酸化物を除去して、残りの開口部から金属コンタクトをシリサイドに

0.1μΩ-cm² のニケイ化チタン(TiSi₂)及び砒素をドーピングしたN⁺シリコンとの間の、又、約10μΩ-cm² のTiSi₂及びポロンをドーピングしたP⁺シリコン或いはリン・ドーピングしたN⁺シリコンとの間の接触抵抗率を生じる。10μΩ-cm² の接触抵抗率は、これに相当するアルミニウムとシリコンの直接接触抵抗率より約2桁大きい。しかしながら重要なことは、抵抗率は、900℃でのPSG或いはOCOリフロー或いは離器化などの高温工程の間、更に2桁までの大きさだけ増加することがあるということである。実際、アニーリングの温度を700℃から900℃の間で、又、接合のドーピング濃度(注入量)を大きさの1桁変更することにより、TiSi₂とリン或いはポロン・ドーピングしたシリコン接合との接触抵抗率は0.03μΩ-cm² から10.000μΩ-cm² の範囲にあるが、それに反して、砒素をドーピングした接合はそのように大きな変化を示さなかった。考えられることは、工程の間、TiSi₂に於けるポロン及びリンの溶解度が一

般者する。こうして、通常のシリサイド化工程を、補助的なパッド酸化物のパターン形成とエッティング工程を伴い、行うことができる。

本発明のコンタクトは、チタニウム・シリサイドのP⁺シリコン・コンタクトの高い接触抵抗の問題を解決し、通常のチタニウム・シリサイド化工程と大きな変更なく製作することができる。

実施例

好ましい実施例のコンタクトは、まず、シリコンMOSFETのチタニウム・シリサイドの接合に対する金属(一般にアルミニウム)の最終接触抵抗の特徴を幾つか示すことにより最も理解することができる。最終接触抵抗は、金属とシリサイドの接触抵抗にシリサイドとシリコンの接触抵抗を加えた和であり、特に、ポロン・ドーピングしたP⁺接合或いはリン・ドーピングしたN⁺接合に於いては後者の接触抵抗が支配的である。通常のチタニウム・シリサイド化工程(675℃の窒素雰囲気中で30分間の反応と800℃で30分間のアニーリングを加えた工程)により、約

高いことにより、TiSi₂中のドーピングした接合からポロン及びリンが偏析することになるということである。この偏析によりシリサイドとの界面のシリコンの接合濃度が低下し、それにより、接触抵抗率が増加するが、従来技術の中で示したドーピング・レベルの平方根の抵抗率の指数関数的な依存を思い出されたい。

本発明のシリサイドのシリコンのコンタクトにより、ポロン或いはリンをドーピングしたシリコンのシリサイドとシリコンのコンタクトを避けるが、砒素とリンの両方、或いは、砒素と(カウンタードーピングの)ポロンの両方でドーピングしたシリコンのコンタクトはシリサイドを通して形成することができる。

CMOSデバイスの第一の好ましい実施例のコンタクトを平面及び断面図で説明するが、全体として、第1A図および第1B図の参照符号30で示し、図の左側の部分は、NチャネルMOSFETの部分で、右側の部分はPチャネルMOSFETの部分である。一般に、1側の大規模シリコン

集積回路は、第1A図および第1B図のものと同様なMOSFETを含み、それらは、ダイオードや相互接続等の他の回路素子とともに何千回も様々な置き換え及び変更を伴って繰り返される。

より詳細には、第1A図および第1B図のデバイスは、P形にドーピングされてNチャネルMOSFETのPウェル34を形成し、又、N形にドーピングされてPチャネルMOSFETのNウェル36を形成する、単結晶シリコン基板32を含む。NチャネルMOSFETが含むのは、チタニウム・シリサイド層40で覆われた、(ソース或いはドレインのどちらかである)N⁺拡散層をドーピングした接合38、シリサイド40の上のチタン・タンクステン拡散障壁41をともなうアルミニウム・コンタクト42、チタニウム・シリサイド46で覆われゲート酸化物48の上のN⁺ドーピングしたポリシリコン・ゲート44、側壁酸化物50、及び絶縁体52であり、PチャネルMOSFETが含むのは、チタニウム・シリサイド層60により部分的に覆われた(ソース或いはドレ

インのどちらかである)P⁺ボロン・ドーピングした接合58、接合58の真上にあるチタン・タンクステン拡散障壁61をともなうアルミニウム・コンタクト62、チタニウム・シリサイド66で覆われゲート酸化物68の上に位置するN⁺ドーピングしたポリシリコン・ゲート64、側壁酸化物70、及び絶縁体72であり、又、これらのMOSFETはチャネル・トップ78に隣接するフィールド酸化物76により分離されている。

コンタクト30については、アルミニウム・コンタクト62は拡散障壁61でP⁺接合58に直接接觸しており、チタニウム・シリサイドはP⁺モートの残りを覆ってシート抵抗を低下する。反対に、N⁺接合38はシリサイド40で全体的に覆われ、アルミニウム・コンタクト42は拡散障壁41でシリサイド40のみに接觸している。こうして、チタニウム・シリサイドとP⁺シリコン・コンタクトとの高い接觸抵抗率を避ける一方で、シリサイド化の有利なシート抵抗の減少は保持される。N⁺ポリシリコン・ゲート線44及び64

はリンでドーピングしてシリサイド化し、こうして、シリサイドとポリシリコンの間の接觸抵抗率もまた不純物の偏析のために高くなるということに注意されたい。しかしポリシリコン線は、その線の長さのため、シリサイドとポリシリコンとの間に大きな面積のコンタクトを有するので、高い接觸抵抗率が許される。このことは同様に、シリサイドにして導電性の線として用いる、接合部から離れたP⁺モートの残りにも当てはまる。

接合コンタクト30の更に一層の理解及び特徴は、第1A図および第1B図のCMOSデバイスの第一の好ましい実施例の製法を第2A図から第2E図に断面図で示して考査することから得られ、それは以下の工程を含む。

1. まず標準的なCMOS基板で始めるが、それは、数ミクロンの厚さのP⁻エピ層32と、エピ層32のNウェル36及びPウェル34をともなう結晶面<100>のシリコンである。フォトリソグラフィにより、チャネル・トップ78を定め、注入し、7,000Åの厚さのフィールド

酸化物76を成長させる。ゲート酸化物(48及び68)を成長させ、4,500Åの厚さの第一のレベルの(POCl₃ドーピングした)N⁺の(ゲート44及び64を形成する)ポリシリコンを被着して、バターン形成し、エッティングして、異方性エッティングが後に続く、整合的被着(conformal deposition)により、ゲートに側壁酸化物50及び70を形成する。300ÅのTEOSバッド酸化物80を被着する。フォトレジストを加えてバターン形成して、砒素(と幾らかのリン)をバッド酸化物80を通して注入し、N⁺ソース及びドレイン38を形成する。バターン形成したフォトレジストを剥がしてから、次に第二のフォトレジストを加えてバターン形成して、ボロンをバッド酸化物80を通して注入し、P⁺ソース及びドレイン58を形成する。第二のバターン形成したフォトレジストを剥がして注入領域をアニーリングする。これについては、第2A図を参照されたい。1.0μmの長さ(第2A図のポリシリコン44或いは46の横の長さ)のゲート

を用いる設計規則の場合、接合部は一般に、約0.3μmの深さ（第2A図の接合部38或いは58の板の長さ）を有するということに注意されたい。

④ 第2B図を参照して、フォトレジスト82を加えてパターン形成して、コンタクトをP⁺ソース及びドレイン58に定める。これは逆向の着色であることに注意されたい。

⑤ フォトレジスト82をエッティング・マスクとして、パッド酸化物80をプラズマ・エッティングする。このエッティングによりパッド酸化物80をポリシリコン44及び64と接合部38及び58から取り除くが、側壁酸化物50の小部分及びフィールド酸化物76だけは残す。第2C図を参照して、フォトレジスト82を剥がすが、同図にはP⁺接合58に接続する部分の残りのパッド酸化物80が図示されている。P⁺モートの残りには、残りのパッド酸化物80がないということに注意されたい。

⑥ スパッタリングにより、1,000Åの厚

界と接合38及び58の露出した部分をずっと越えて、シリコンの横方向の拡散とシリサイドが形成されるのを防ぐ。反応温度は十分低いので、チタンが二酸化シリコン50、70、76、及び80に反応して表面膜を越えて酸化チタンを形成するのを防ぎ、又、反応の間、雰囲気中の酸素を除外することにより同様に酸化チタンの形成を防ぐ。シリサイド化の自己整合特性を説明する第2D図を参照されたい。

⑦ 反応しなかったチタンとTiN84を水酸化アンモニウム/過酸化水素溶液ではがし取って、シリサイド40、46、60、及び66を800℃でアルゴンの雰囲気中でアニーリングする。このアニーリングによりシリサイドのシート抵抗を約1Ω/□まで下げる。これについては、第2E図を参照されたい。

⑧ 絶縁体52、72を次のように形成する：TEOS酸化物を10,000Åの厚さに被覆して、約6,000Åのフォトレジストを回転塗布し、エッティング・バックして全てのフォトレジス

トのチタンの層を工程付の構造に整合的、即ち表面の構造に一様に沿うように被覆する。（1気圧の）窒素雰囲気中で、温度を675℃に30分間上げるが、この温度で（ソース及びドレイン38及び58の両方からとポリシリコン44及び64からの）シリコンは、チタン層で拡散して、反応し、チタニウム・シリサイド40、46、60、及び66を形成し、その上、雰囲気からの窒素はチタンで拡散して反応して窒化チタン（TiN）84を形成する。シリサイド化及び窒素化の反応は競争するかのように生じ、シリサイド及び窒素の剤が相互に向かって成長し、その二つの先端が出会ったときにそれらの形成が止まる。更に他の反応により化学量チタニウム・ジシリサイド（TiSi₂）がシリサイド40、46、60及び66の全体にわたって形成されるが、これらのシリサイドは約1,500Åの厚さである。チタンが二酸化シリコン50、70、76、及び80の上にあるところでは、窒化チタン（TiN）は速く形成されて、ポリシリコン44及び64の境

と約6,000ÅのTEOS酸化物を除去し、別の1,000ÅのTEOS酸化物と3,000Åのフォスフォシリケート・ガラス（PSG）を被覆して、PSGをリフローする。エッティング・バックしたTEOSとリフローしたPSGをプラスしたものは、段差を滑らかに覆う特性（ステップ・カバレッジ）が良好で、絶縁体52、72を形成する。次に、コンタクト開口部を絶縁体52、72にフォトリソグラフィによりパターン形成し、エッティングし（このエッティングによりP接合58上のシリサイド形成のマスクをした酸化物80も除去し）、チタン：タンクステン41、61（2,000Å）及びアルミニウム42、62（5,000Å）をスパッタリング被覆し、そして最後に、チタン：タンクステン41及びアルミニウム42をフォトリソグラフィによりパターン形成してエッティングする。チタン：タンクステンは、10重量%のチタン鋼合金であり、焼結中（シンタリング）に接合58から打ち込む時のアルミニウムに対する障壁として働く。450℃でアルミニウム

を焼結する。これにより、第1A図および第1B図に示したデバイスを完成する。更に他の酸化物層及び金属層を、不活性酸化物及び窒化物層と共に加えることができる。

従ってコンタクト30では、金層と接合のコンタクトが、P⁺接合部のシリサイド化において開口部を通り抜けるが、そうでなければ、シリサイド化は標準的で、ゲート44及び64等のリン・ドーピングした第一のレベルのポリシリコン層と接合部58から離れたP⁺モートの両方のシリサイド化を含む。第一のレベルのポリシリコン及びP⁺モートの両方のシリサイド化において、接触抵抗率は増加するが、シリサイドとシリコンの界面が大きな面積である為、許容し得るものである。

CMOSデバイスの第二の好ましい実施例の接合コンタクトを平面及び断面図で説明するが、全体として、第3図の参照符号130で示し、図の左側の部分は、NチャネルMOSFETの部分で、右側の部分はPチャネルMOSFETの部分である。この例では、単結晶シリコン基板132をP

化物176及びチャネル・ストップ178により分離されている。

コンタクト30では、拡散障壁61がアルミニウム62によりP⁺接合58から分離されているが、しかし、コンタクト130では、アルミニウム162はP⁺接合158に直接接触し、又、このアルミニウムは、接合158を通してのスパイキングを防ぐために加えられた、1%のシリコンを含有する。注意したいことは、アルミニウム中の1%のシリコンは、室温に於ける溶解限度以上であるので、幾らかのシリコンは焼結後にアルミニウムから沈澱するが、アルミニウム162と接合158との界面に対してそれほど有害ではないであろう。接合158のような狭い接合部には、アルミニウムの1%のシリコンのドーピングでさえ、スパイキングが生じ得るという証拠が幾つかあり、その様な場合、拡散障壁を用いるべきである。

もし、チタニウム・シリサイドを（第1A図のPチャネルMOSFETでのように）接合部15

形にドーピングしてNチャネルMOSFETのPウェル134を形成し、又、N形にドーピングしてPチャネルMOSFETのNウェル136を形成する。NチャネルMOSFETが含むのは、チタニウム・シリサイド層140で覆われた、（ソース或いはドレインのどちらかである）N⁺の拡散とリンをドーピングした接合138、シリサイド140の上の1%のシリコンを含むアルミニウム・コンタクト142、チタニウム・シリサイド146で覆われゲート酸化物148の上に位置するN⁺ドーピングしたポリシリコン・ゲート144、側壁酸化物150、及び絶縁体152であり、PチャネルMOSFETが含むのは、（ソース或いはドレインのどちらかである）P⁺ボロン・ドーピングした接合158、接合158の背上にあるアルミニウム・コンタクト162、チタニウム・シリサイド166で覆われゲート酸化物168の上に位置するN⁺ドーピングしたポリシリコン・ゲート164、側壁酸化物170、及び絶縁体172であり、又、MOSFETはフィールド酸

8の上に、アルミニウム・コンタクト162と側壁酸化物170との間に形成すると、ドレインの電流は、下にある接合部を通じてのみシリサイド中に流れれるが、これはシリサイドと接合の接触抵抗率が高いためである。従って、狭いP⁺接合158の部分的なシリサイド化は有害となり、これは、シリサイドの形成により接合部分を消費し、残りの接合部を相当一箇所狭くして残し、これによりアルミニウム・コンタクト162とゲート酸化物168の下のチャネルとの抵抗率を増加するからである。実際、0.3μmの厚さの接合では、1,000Aのチタンでのシリサイド化により接合部の約40%を消費する。

反対に、N⁺接合138はシリサイド140により全体的に覆われており、アルミニウム142はシリサイド140にのみ接触している。第1図により別の電流経路を説明する。周囲では、実験は接触抵抗率が高いシリサイドと接合の場合の電流経路を示し、点線は接触抵抗率が低い場合の電流経路を示す。実際上、前者の場合は電流がシリ

サイドと接合の界面全体に広がる必要があり、この電流が回遊する抵抗において支配的となるからで、従って、シリサイドの低い抵抗は実際使用されず、シリサイド化中のシリコンの消費による接合部の圧縮は有害となる。

コンタクト30のように、コンタクト130はP⁺シリコン上のシリサイドの形成を制限することにより、シリサイドとP⁺シリコンのコンタクトの接触抵抗率が一層高くなるのを防ぐ。

接合コンタクト130を更に他の理解及び特徴は、第3図のCMOSデバイスの第二の好ましい実施例の製法を第5A図から第5D図に断面図で示して考慮することから得られ、それは以下の工程を含む。

(a) まず標準的なCMOS基板で始めるが、それは、数ミクロンの厚さのP⁻エビ層132と、エビ層132のNウェル136及びPウェル134をともなう結晶面<100>のシリコンである。フォトリソグラフィにより、チャネル・ストップ178を定め、注入し、7,000Åの厚さのフ

図を参照されたい。

(b) 5,000Åのフォトレジスト182を回転塗布し、コンピュータ・シミュレーションと実験に基づく試験により定めるように、フォトレジストは、第一のレベルのポリシリコン層144及び164の上部に最大2,750Åの厚さを有することになる。これについては、第5B図を参照されたい。

(c) 約3,500Åのフォトレジスト182をプラズマ・エッティングするが、このエッティングはフォトレジスト182を完全に除去する前に止めるように時間を見定める。このエッティングにより、P⁺領域のところのポリシリコン層164の上の酸化物180の部分が露出するが、1,500Åのフォトレジスト182により覆われた接合部138及び158（実際は、P⁺及びN⁺モート全部）はそのままである。第5C図参照。

(d) フォトレジスト182をエッティング・マスクとして、露出した酸化物180をプラズマ・エッティングする。それから、フォトレジスト

ィールド酸化物176を成長させる。ゲート酸化物（148及び168）を成長させ、4,500Åの厚さの第一のレベルのN⁺のポリシリコン（144及び164）を被着して、パターン形成し、エッティングして、異方性エッティングが後に続く、整合的な被着により、ゲートに酸化物150及び170を形成する。300ÅのTEOSバッド酸化物180を被着する。フォトレジストを加えてパターン形成して、バッド酸化物180を通してボロンを注入し、P⁺ソース及びドレイン158とP⁺モートの残りを形成する。パターン形成したフォトレジストを剥がしてから、次に第二のフォトレジストを加えてパターン形成して、砒素とリンをバッド酸化物180を通して注入し、N⁺ソース及びドレイン138とN⁺モートの残りを形成する。それから、パターン形成したフォトレジストをエッティング・マスクとして用いてバッド酸化物180をエッティングする。第二のパターン形成したフォトレジストを剥がして、注入領域をアニーリングする。これについては、第5A

182を剥がし取る。これについては、P⁺モートのみを留う残りのバッド酸化物180を示す第5D図を参照されたい。接合158から離れているところのP⁺モートの部分は導電性の線として用いることができ、そのシート抵抗を低下させるために好ましくはシリサイドにし、接合158から離れたバッド酸化物180の間に他のフォトレジストのマスキング及びエッティングも同様に行う。

(e) スパッタリングにより、1,000Åのチタンの層を段階的の構造に整合的、即ち表面の構造に一様に沿うように被着し、第一の好ましい方法の段階約100Åのようになって行うが、アルミニウムの代わりに1%のシリコンを含むアルミニウムを用い、必要でなければチタン：タンクステン遮蔽膜は用いない。これにより、第3図に示すデバイスを完成する。

P⁺及びN⁺モート（抵消領域）は、しばしば導電性の線として用い、PウェルとNウェルの境界では、この様な導電性は、N⁺モートからP⁺モートに変わり、P-N接合を形成する。このP

-N接合は通常、第6A図および第6B図に示したようなモートに形成されたシリサイドにより知くなり、コンタクト130で、接合158から離れたP⁺モートの部分のシリサイド化は段階的のパッド酸化物158の選択的なエッティングにより達成された。従って、コンタクト130をN⁺-P⁺モートの密着と共に用いるには、更に他のマスキング及びエッティング段階が必要である。第6A図および第6B図において、モート密着と、一方のシリサイドの接合259及び金属に直接接続するもう一方258を有するPチャネルMOSFETの両方を示す。

第三の好ましい実施例のシリサイドの構造を、全体として330で示し、第7図の断面図で説明するが、それは、チタニウム・シリサイド342、344、及び346でそれぞれが覆われたチタニウム・シリサイドのN⁺ポリシリコン線332、334、及び336、フィールド酸化物350、ゲート酸化物352、(ソース358及びドレイン356を含む)N⁺モート354、及びポリシリ

コン線の上の側壁酸化物を含む。ソース及びドレインはシリサイドにしていいことに注意されたい。ポリシリコン線334はソース358及びドレイン356のトランクスタのゲートであり、ポリシリコン線332はモート354の埋込コンタクトであり、又、ポリシリコン線336はフィールド酸化物350を横切って走る相互接続線である。ポリシリコン線332、334、及び336のシリサイド化は、第二の好ましい実施例の方法と同様の第三の好ましい実施例の方法により、以下の段階を含む。

① まず標準的なCMOS基板で始めるが、それは、数ミクロンの厚さのP⁻エビ層と、Nウェル及びPウェルをそのエビ層にともなう結晶面<100>のシリコンである。フォトリソグラフィにより、チャネル・トップ380を定め、注入し、7,000Åの厚さのフィールド酸化物350を成長させる。ゲート酸化物352を成長させ、厚さ7,000Åの第一のレベルの第一のポリシリコンをLPCVDにより被覆する。埋込コ

ンタクトの開口部をポリシリコン及びゲート酸化物にパターン形成してエッティングし、第一のレベルの第二のポリシリコンを被覆し、パターン形成してエッティングし、3,250Åの厚さの線332、及び4,500Åの厚さの線334及び336を形成する。ポリシリコン線332、334、及び336をPOCl₃ (リンはポリシリコン332を通して拡散してモートの埋込コンタクトの部分にドーピングする)によりドーピングして、異方性エッティングが後に続く、整合的被覆により側壁酸化物をポリシリコン線に形成する。300Åの厚さのTEOSパッド酸化物380を被覆する。第8A図参照。

② フォトレジストを加えてパターン形成し、ポロンをパッド酸化物380を通して注入し、P⁺ソース及びドレイン(第7図及び第8A図から第8D図には図示せず)とP⁺モートを形成する。第一のレベルのポリシリコンはN⁺にドーピングしているので、いかなるP⁺モートの埋込コンタクトも無いということに注意されたい。バタ

ーン形成したフォトレジストを剥がし取ってから、第二のフォトレジストを加えてパターン形成し、砒素とリンをパッド酸化物380を通して注入し、N⁺ソース358及びドレイン356とN⁺モート354を形成する。第二のパターン形成したフォトレジストを剥がし取って、注入領域をアニーリングする。5,000Åのフォトレジスト382を回転焼布し、このフォトレジストは、コンピュータ・シミュレーション及び実験に基づく証明により定めるように、第一のレベルのポリシリコン線332、334、及び336の上に、最大2,750Åの厚さを有するようになる。これについては、第8B図を参照されたい。

③ 約3,500Åのフォトレジスト382をプラズマ・エッティングするが、このエッティングはフォトレジスト382を完全に除去する前に停止するように時間を定められている。このエッティングによりポリシリコン線332、334、及び336の上の酸化物380の部分が露出するが、1,500Åのフォトレジスト382により覆わ

れたモート領域はそのまま残る。第8C図参照。

④ フォトレジスト382をエッティング・マスクとして、露出したパッド酸化物380をプラスマ・エッティングする。それから、フォトレジスト382を剥がしとるが、モートだけを残す残りのパッド酸化物380を示す第8D図を参照されたい。

⑤ スパッタリングにより、1,000Åの厚さのチタンの層を段階的構造に適合的に被着し、第一の好ましい方法の段階約一均のように統けて行い、パッド酸化物380をエッティングする。これにより、第7図に示す構造が完成する。

シリサイド化したポリシリコン線の第三の好ましい実施例の方法の利点には、シリサイドをエッティングすることを省くということを含む。第一のレベルのポリシリコンの通常のシリサイド化の方法により、ポリシリコンを被着し、(ポリシリコンとの反応が後に続く、シリサイドの被着、或いは金属の被着のどちらかにより)それをシリサイド化し、それから、シリサイドとポリシリコンを

保持しながら、行うことができる。例えば、速快的シリサイド化により金属とポリシリコン線の直接コンタクト用の開口部が残るよう、ポリシリコン線の上に酸化物マスクを用いて、両者の特徴を組み合わせることは有用であろう。更に一般に、好ましい実施例の大きさ及び形は様々であり、例えば隔壁酸化物を省いてもよく、アルミニウム・コンタクトは銅:アルミニウム或いはタンゲステン等の他の金属などのアルミニウムの他の合金でもよく、又、他の遮蔽隔壁を有してもよく、説明するCMOS構造は同様にNMOS或いはPMOS、或いは実際、バイポーラやB+CMOS、CCD、又はシリサイドを用いる他の技術であってもよい。(ボロン及びリンの)不純物のチタニウム・シリサイドへの偏析により、好ましい実施例により接触抵抗率の高いことが避けられるという結果になり、従って、もし他のシリサイド(例えばCoSi₂或いはPtSi)を用い、又回連するシリコン不純物をシリサイドに偏析した場合、そのときは、金属とシリコンの直接コンタ

クト形成してエッティングする。通常のアプローチは、シリサイドのパターン形成及びエッティングを必要とするが、シリサイドの表面は粗く、それにより、精巧な線のパターン形成が難しく、シリサイドのエッティングは他の金属のエッティングと同様であり、例えば、CF₄を用いてフォトレジストや酸化物、ポリシリコン等に関して選択的に制限されている。それに反して、第三の好ましい実施例は、ポリシリコン線のパターン形成及びエッティングの後に、選択的なシリサイド化を用いる。もちろん、第三の好ましい実施例の方法は同様に第二のレベルのポリシリコン線や他の構造にも適用する。

発明の効果

好ましい実施例によるデバイス及びその製法の様々な変更は、シリサイドの構造の金属とシリコンとの直接コンタクトの特徴及び、モート或いは他のシリコン領域のシリサイド化を必ずしも必要とせずに、パターン形成及びエッティング後のポリシリコン線のシリサイド化を行なうという特徴を

有効になり、又、もしポリシリコン線の上に金属を被着してからシリサイド化反応をすることにより、他のシリサイドを形成した場合、そのときはモートのシリサイド化を同時にともなわないポリシリコン線のシリサイド化もまた有効になる。

他の金属、例えばシリサイド或いは他の化合物(ホウ化物、窒化物、アルミニド等)を用いることができる。ゲルマニウム、ヒ化ガリウム或いは他の半導体等は、対応する物質の本発明の特徴を利用することができる。

本発明は、高い接触抵抗率の低下或いはシリサイドのエッティングせずに、シリサイド化によりシート抵抗を下げるという利点を提供する。集積回路の特徴サイズが減少するにつれて、利点及び受けられる低下の重要性が増す。そしてこれらの利点は標準の工程方法に簡単な変更を行うだけで得られる。

以上の説明に関して、更に、下記の項を示す。

(1) 半導体集積回路のコンタクトであって、
 (a) 集積回路内のN形シリコン領域に接する
 第一のシリサイド層と、
 (b) 前記第一のシリサイド層に接して、前記
 N形シリコン領域から間隔があいている第一の金
 屬コンタクトと、
 (c) 前記集積回路内のP形シリコン領域に接
 する第二の金属コンタクトとを含む半導体集積回
 路のコンタクト構造。

(2) 第(1)項に記載したコンタクトであって、
 更に、
 (a) 前記P形シリコン領域の上の第二のシリ
 サイド層と、前記P形シリコン領域に接する前記
 第二の金属コンタクト、及び、前記第二のシリサ
 イド層とを含むコンタクト。

(3) 第(1)項に記載したコンタクトにおいて、
 (a) 前記第一及び第二の金属コンタクトが主
 としてアルミニウムであって、
 (b) 前記シリサイドがチタニウム・ジシリサ
 イドであって、又、

各が前記シリサイド層の一つに隣接する前記第一
 の金属コンタクト、及び、
 (a) 複数の第二の金属コンタクトで、その各
 各が前記Pチャネル・デバイスのソース及びドレ
 イン接合の一つに隣接する前記第二の金属コンタ
 クトとを含むCMOS集積回路。

(5) 第(5)項に記載した集積回路であって、
 更に、
 (a) 複数の第二のシリサイド層で、その各々
 が前記Pチャネル・デバイスのソース及びドレイ
 イン接合の一つの部分に少なくとも隣接する前記第
 二のシリサイド層を含む集積回路。

(b) 第(5)項に記載した集積回路において、
 (a) 前記シリサイドがチタニウム・ジシリサ
 イドであって、又、
 (b) 前記金属コンタクトが主としてアルミニ
 ウムで、主としてタンクスチタンの拡散障壁を有す
 る集積回路。

(8) 第(5)項に記載した集積回路であって、
 更に、

(a) 前記N形シリコン領域が主として酸素で
 ドーピングされているコンタクト。

(4) 第(1)項に記載したコンタクトにおいて、
 (a) 前記第一及び第二の金属コンタクトが主
 としてアルミニウム、及び、アルミニウムと隣接
 のシリコン或いはシリサイドとの間の拡散障壁と
 であって、
 (b) 前記シリサイドがチタニウム・ジシリサ
 イドであって、又、
 (c) 前記N形シリコン領域が主として酸素で
 ドーピングされているコンタクト。

(5) CMOS集積回路であって、
 (a) 基板中の複数のシリコンNチャネル・デ
 バイスと、
 (b) 前記基板中の複数のシリコンPチャネル
 ・デバイスと、
 (c) 複数のシリサイド層で、その各々が前記
 Nチャネル・デバイスのソース及びドレイン接合
 の一つに隣接する前記シリサイド層と、
 (d) 複数の第一の金属コンタクトで、その各
 各が前記シリサイド層の一つに隣接する前記第一
 の金属コンタクト、及び、
 (e) 複数の第二の金属コンタクトで、その各々
 が前記Pチャネル・デバイスのソース及びドレ
 イン接合の一つに隣接する前記第二の金属コンタ
 クトとを含むCMOS集積回路。

(6) CMOS集積回路であって、
 (a) 複数のN及びPチャネル・デバイスで、
 前記デバイスのソース及びドレイン接合はシリサ
 イドを持たず、又、
 (b) 複数のポリシリコン線で、その各々がシリ
 サイド層を有する前記線とを含むCMOS集積回路。

(10) シリサイドを有するCMOS集積回路の
 製法であって、
 (a) シリコンPチャネル・トランジスタの複
 数のソース及びドレインの各々の上のパッド膜化
 物の部分を留する段階と、
 (b) 前記パッド膜化物の留われていない部分
 を、シリコンNチャネル・トランジスタのソース

及びドレイン領域の上のパッド酸化物の部分も含めて除去する段階と、

(4) マスクを除去する段階と、

(5) チタン回を被覆する段階と、

(6) 窒素雰囲気中で前記チタンを隣接のシリコンと反応させてチタニウム・シリサイドを形成する段階と、

(7) 反応しなかったチタンと、シリサイド化反応中に形成された全ての窒化チタンも除去する段階と、

併し、それによって、N及びPチャネル・トランジスタのソース及びドレインの上に、段階(6)において覆われたPチャネルのソース及びドレインの部分以外に、チタニウム・シリサイドを形成することを含む製法。

(11) 第(10)項に記載した方法において、

即ち段階(6)のパッド酸化物の部分が前記複数のソース及びドレイン領域の上の全てのパッド酸化物である製法。

(12) 好ましい実施例は、チタニウム・シリサ

イドの接合38、58、及び、シリサイド60とPポリシリコン58との高い接合抵抗率を避けるアルミニウムの金属化61、62とP接合58との直接コンタクトとを行するシリコン複合形MOSFETを含む。好ましい実施例は、対応してシリサイド化されたMOSFET接合をともなわないシリサイド化ポリシリコン線も同様に含む。

4. 図面の簡単な説明

図面は平明にする為に略図である。

第1A図および第1B図は、第一の好ましい実施例の接合コンタクトの平面及び断面図である。

第2A図~~および~~第2E図は、第1A図および第1B図のコンタクトの第一の好ましい実施例の製法を説明する。

第3図は、第二の好ましい実施例の接合コンタクトを断面図で示す。

第4図は、シリサイドの接合の電流の流れを説明する。

第5A図から第5D図は、第3図のコンタクトの第二の好ましい実施例の製法を説明する。

第6A図および第6B図は、P⁺-N⁺モート接合を平面及び断面図で示す。

第7図は、第三の好ましい実施例を断面で説明する。

第8A図から第8D図は、第三の好ましい実施例の製法の段階を示す。

主な符号の説明

30: コンタクト

32: シリコン基板

34: Pウェル

36: Nウェル

38、58: 接合

40、60: チタニウム・シリサイド膜

41、61: チタン:タンクステン拡散障壁

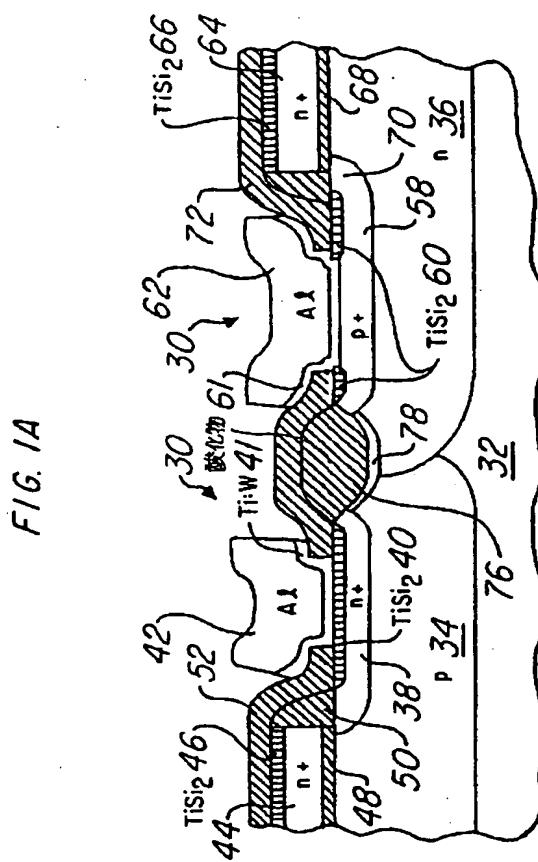
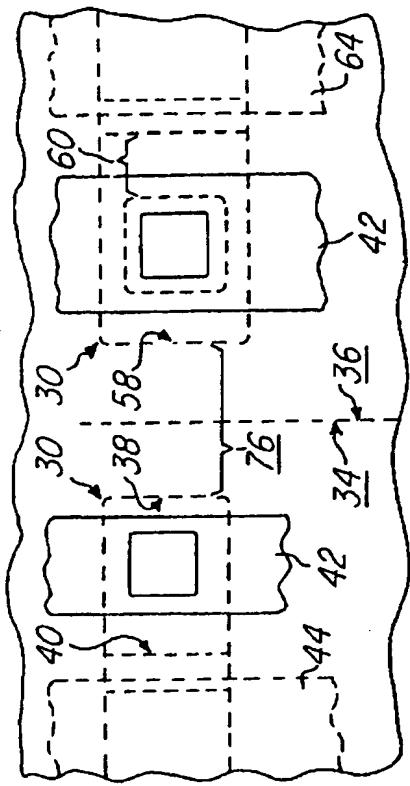
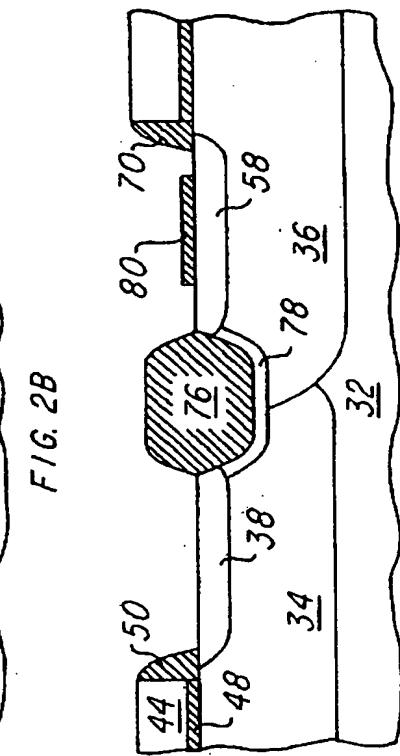
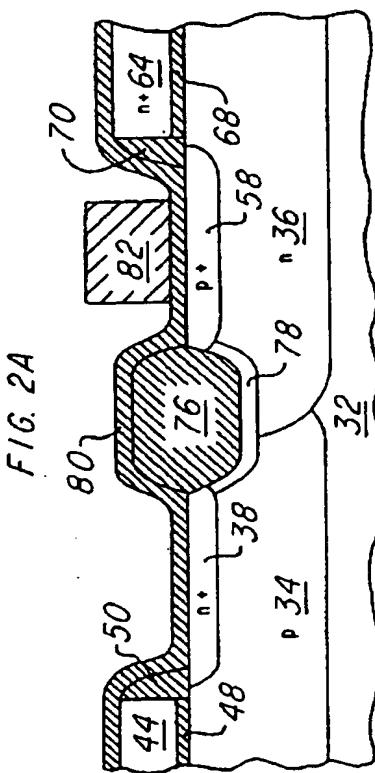
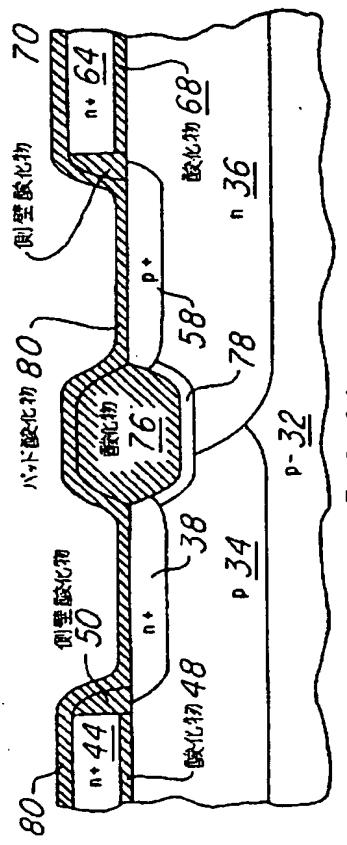
42、62: アルミニウム・コンタクト

44、64: ポリシリコン・ゲート

76: フィールド酸化物

78: チャネル・ストップ

図面の添付(内容に変更なし)



F16.2C

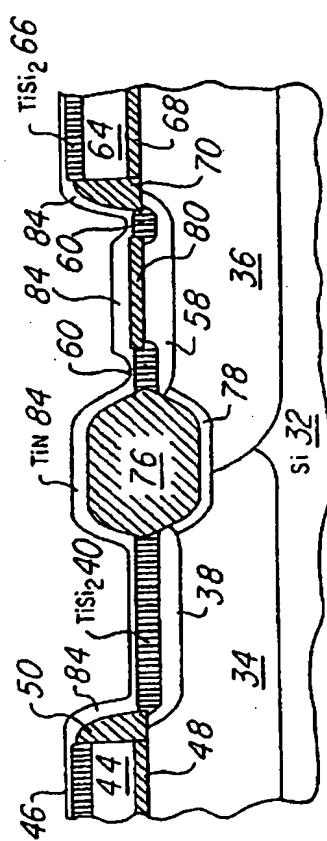


FIG. 16. 2D

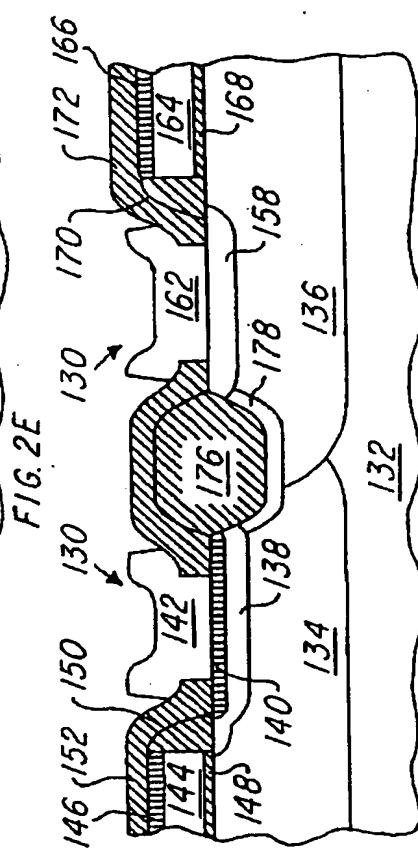
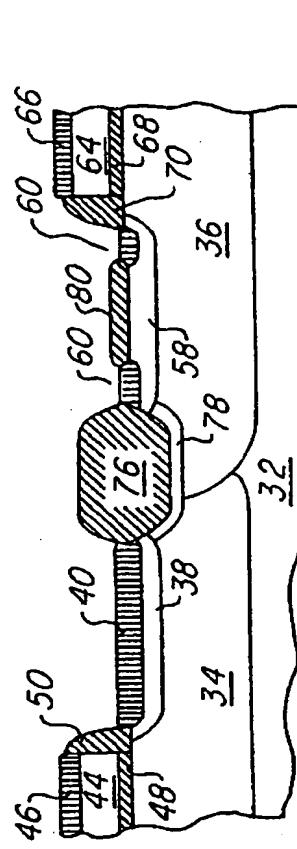


FIG. 16. 3

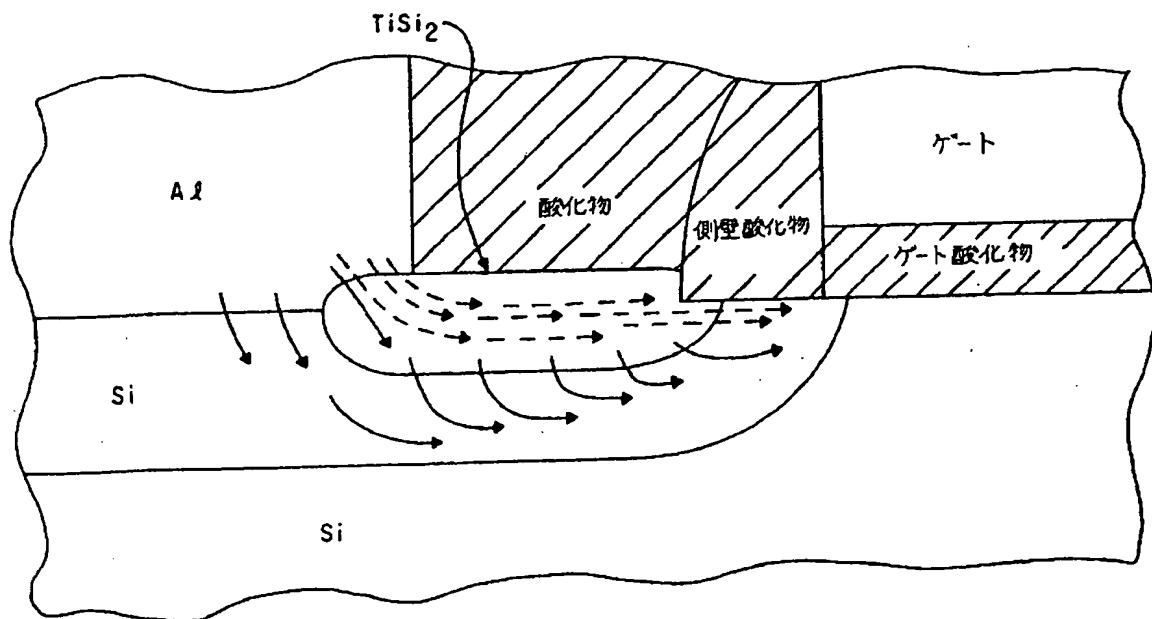
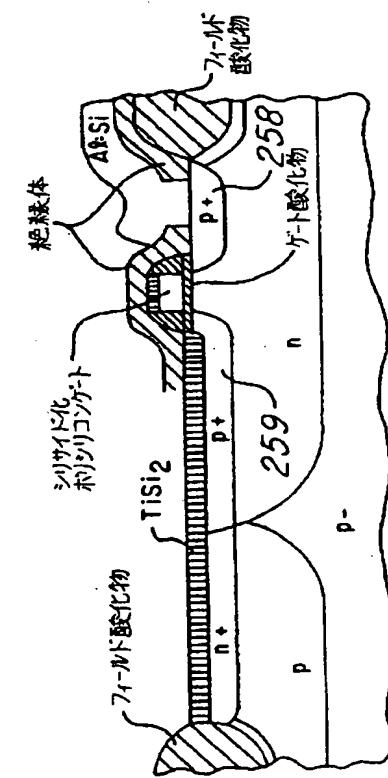
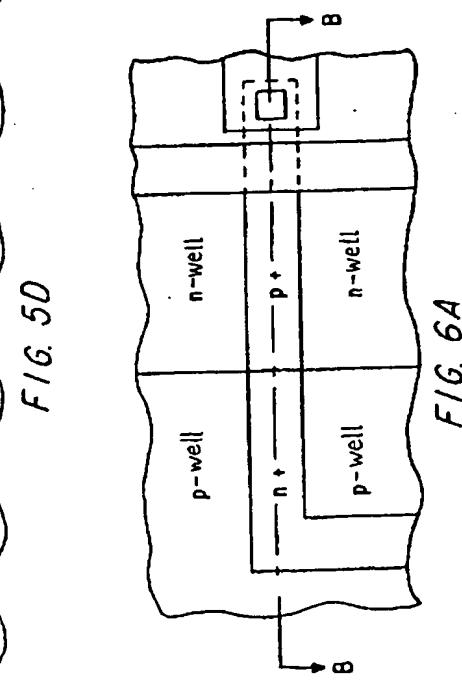
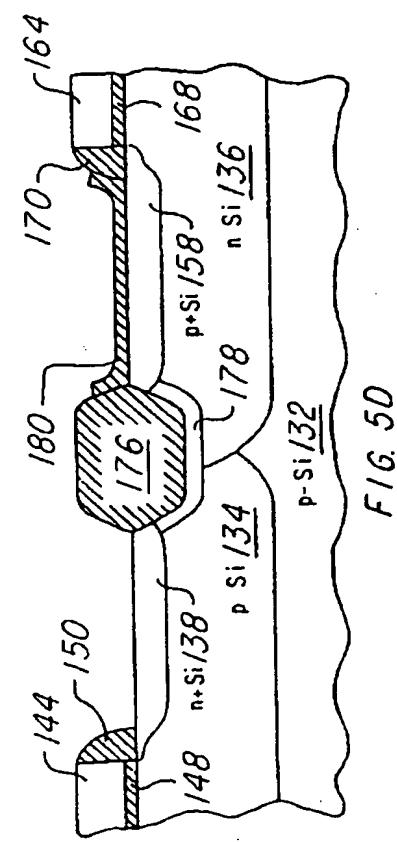
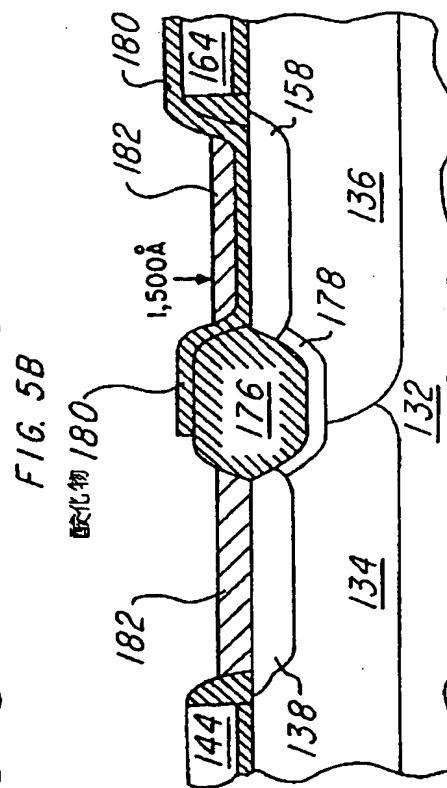
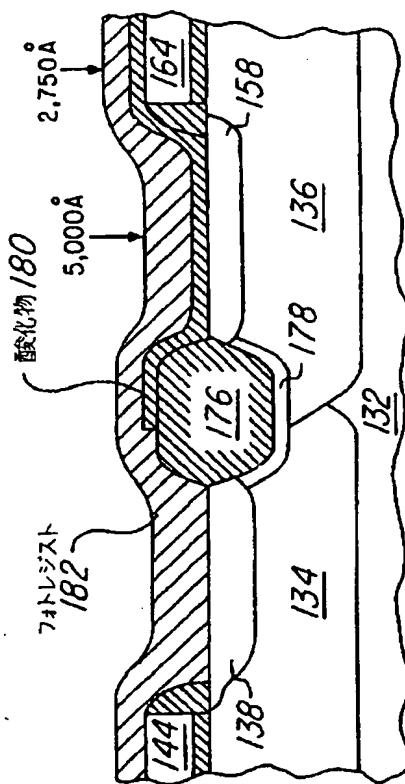
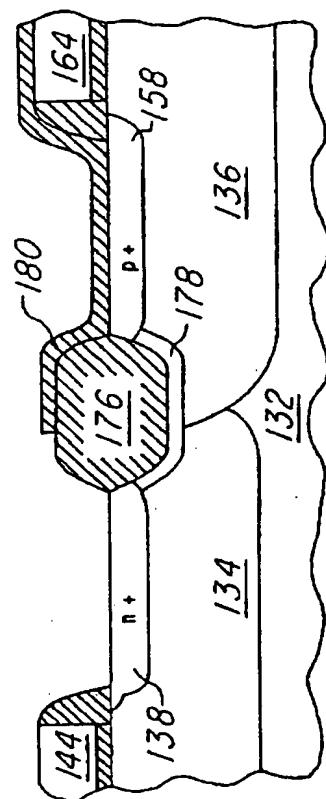
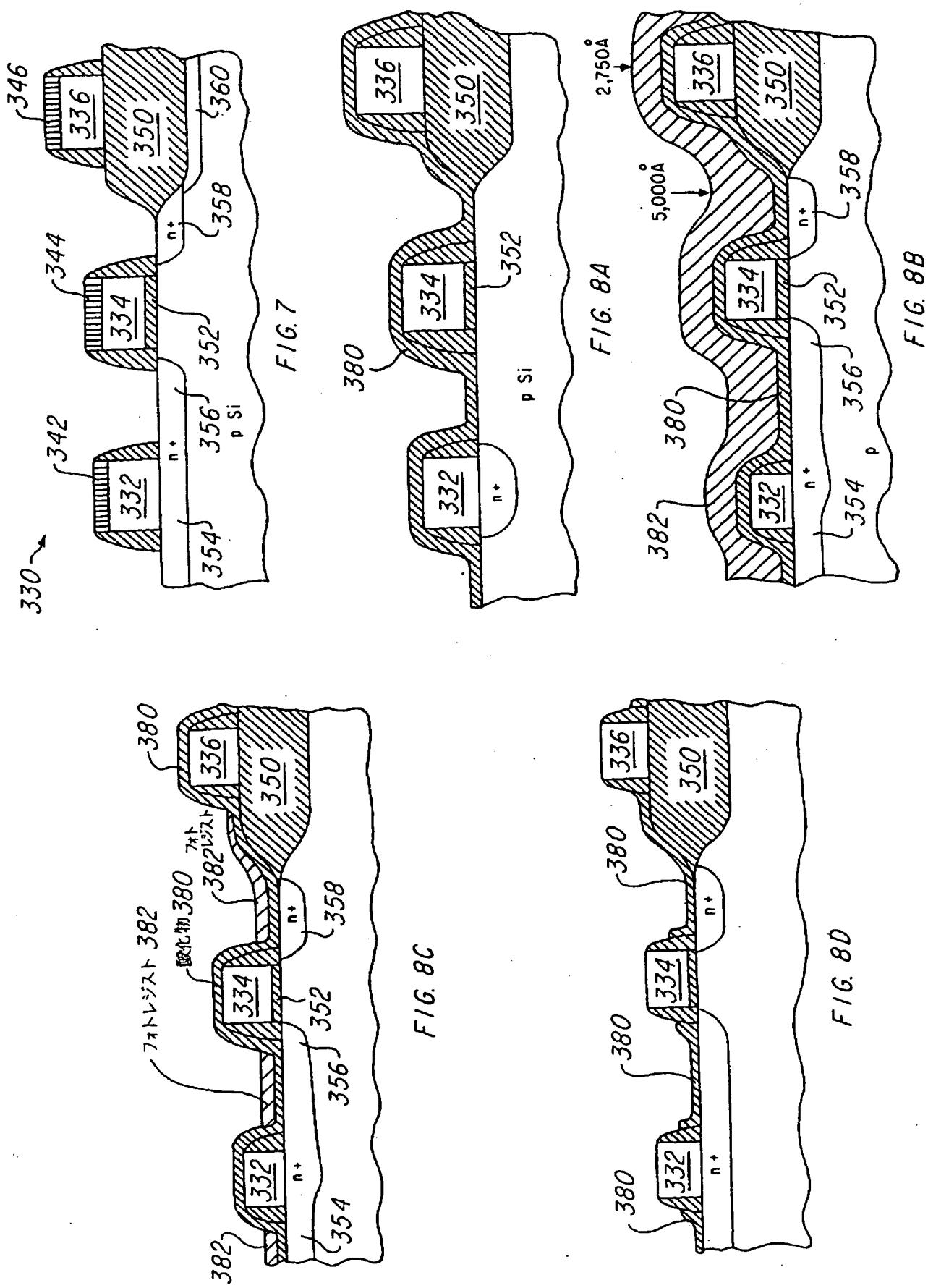


FIG. 4





手 続 検 正 書 (方式)

昭和 63 年 8 月 15 日

特許庁長官印

1. 既存の表示

昭和 63 年 特許第 692643 号

2. 既存の名称

半導体集積回路のコンタクト構造とその製法

3. 検正をする者

事件との関係 特許出願人
氏名(名前)

テキサス インスツルメンツ インコーポレイテッド

4. 代理人

居所 〒100 東京都千代田区大手町二丁目2番1号
新大手町ビルディング 331
電話 (211) 3651 (代 ~~6649~~)
氏名 (6649) 井原士 ~~理~~ 岡

5. 検正命令の日付 昭和 63 年 7 月 26 日

6. 検正により増加する請求項の数

7. 検正の対象

図面

方式
書

8. 検正の内容 既存のとより

請求に最初に添付した図面の修正 (内容に変更なし)